电子科技大学电子技术应用实验

实 验 报 告

学生姓名： 王晶晶 学 号： 2023100902018

原上课时间 双周周四 七八节

自主实验地点： 电脑 自主实验时间： 周末

**一、实验项目名称** 基于Verilog HDL的数据选择器应用设计（自主实验）

**二、实验学时** 2学时

**三、实验目的**

1．掌握基于Verilog HDL的数据选择器的实现方法。

2．学习应用VIVADO软件的FPGA设计流程及仿真方法。

3．应用基于Verilog HDL的数据选择器实现组合逻辑电路的设计。

**四、实验器材及实验时间地点安排**

在安装有vivado软件的计算机上自主到开放实验室或自行安排时间地点完成自主实验内容。

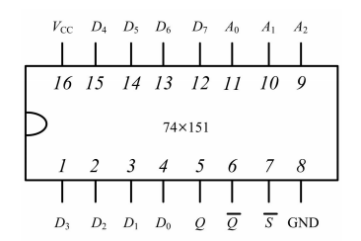
基础实验大楼科 A404、406、408本学期第9至13周的周二、周四中午12:00-14:00开放。

**五、实验过程及原始记录**

1.自学SPOC相关课件并完成SPOC的测验及作业。

是否已完成SPOC上的学习内容及测验、作业？ （ 是 ）

2.用Verilog HDL语言描述一个与表4.8中74LS151输入输出功能相同的8选1的多路复用器，并用构成的8选1数据选择器构建下面的逻辑函数*F* = *A’·B’·C* + *A’·B·C’*+ *A·B’· C*’产生电路，通过仿真验证函数的输入输出。



（1）编写应用8选1数据选择器实现上述逻辑函数的verilog程序，将设计源文件写于下方或截图展示。

**我的设计代码是分成两个文件的**

**文件1：**

**`timescale 1ns/1ns**

**module data\_sel\_8to1(**

**input S2 ,**

**input S1 ,**

**input S0 ,**

**input D0 ,**

**input D1 ,**

**input D2 ,**

**input D3 ,**

**input D4 ,**

**input D5 ,**

**input D6 ,**

**input D7 ,**

**output reg Y**

**);**

**always @(\*) begin**

**case({S2, S1, S0})**

**3'b000: Y = D0;**

**3'b001: Y = D1;**

**3'b010: Y = D2;**

**3'b011: Y = D3;**

**3'b100: Y = D4;**

**3'b101: Y = D5;**

**3'b110: Y = D6;**

**3'b111: Y = D7;**

**default: Y = 1'b0;**

**endcase**

**end**

**endmodule**

**文件二：**

**`timescale 1ns / 1ps**

**//////////////////////////////////////////////////////////////////////////////////**

**// Company:**

**// Engineer:**

**//**

**// Create Date: 2024/12/15 23:10:29**

**// Design Name:**

**// Module Name: FF**

**// Project Name:**

**// Target Devices:**

**// Tool Versions:**

**// Description:**

**//**

**// Dependencies:**

**//**

**// Revision:**

**// Revision 0.01 - File Created**

**// Additional Comments:**

**//**

**//////////////////////////////////////////////////////////////////////////////////**

**module sel\_exp(**

**input A ,**

**input B ,**

**input C ,**

**wire Y,**

**output wire F**

**);**

**assign F=Y;**

**data\_sel\_8to1 U0(**

**.S2 (A),**

**.S1 (B),**

**.S0 (C),**

**.D0 (0),**

**.D1 (1),**

**.D2 (1),**

**.D3 (0),**

**.D4 (1),**

**.D5 (0),**

**.D6 (0),**

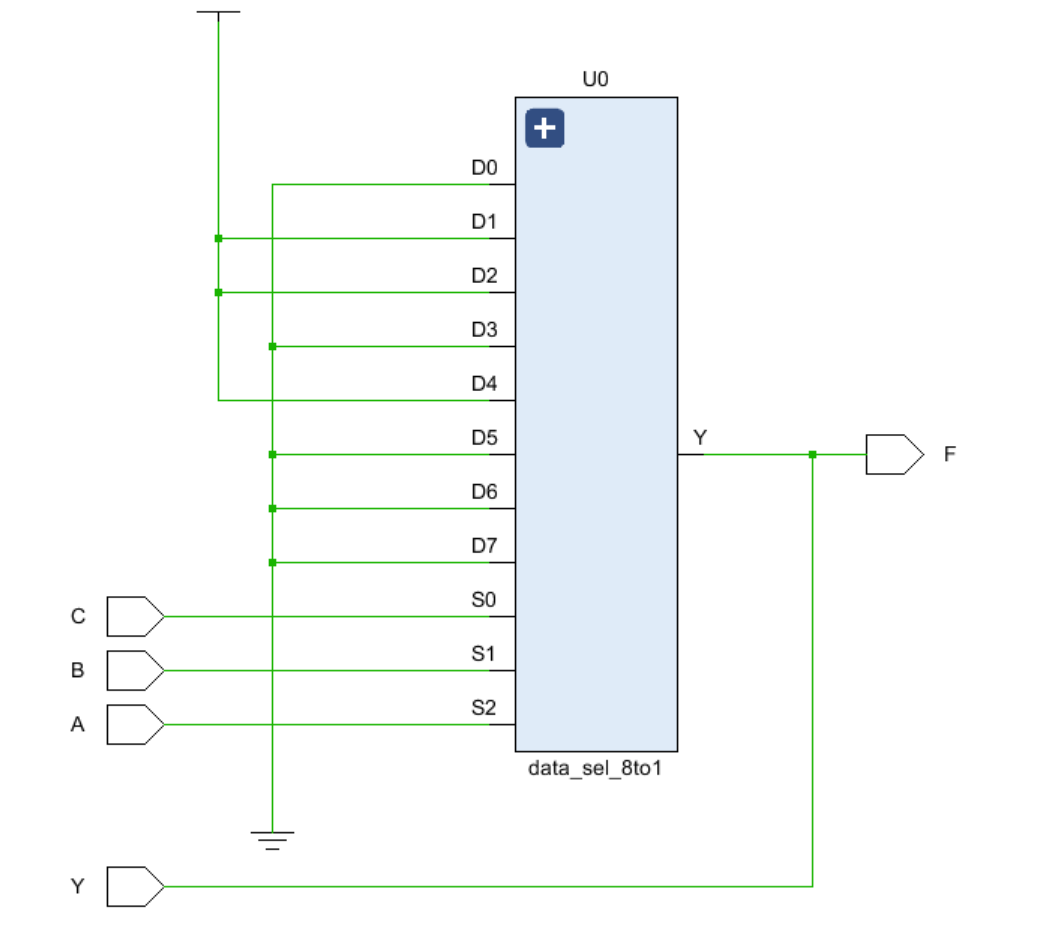
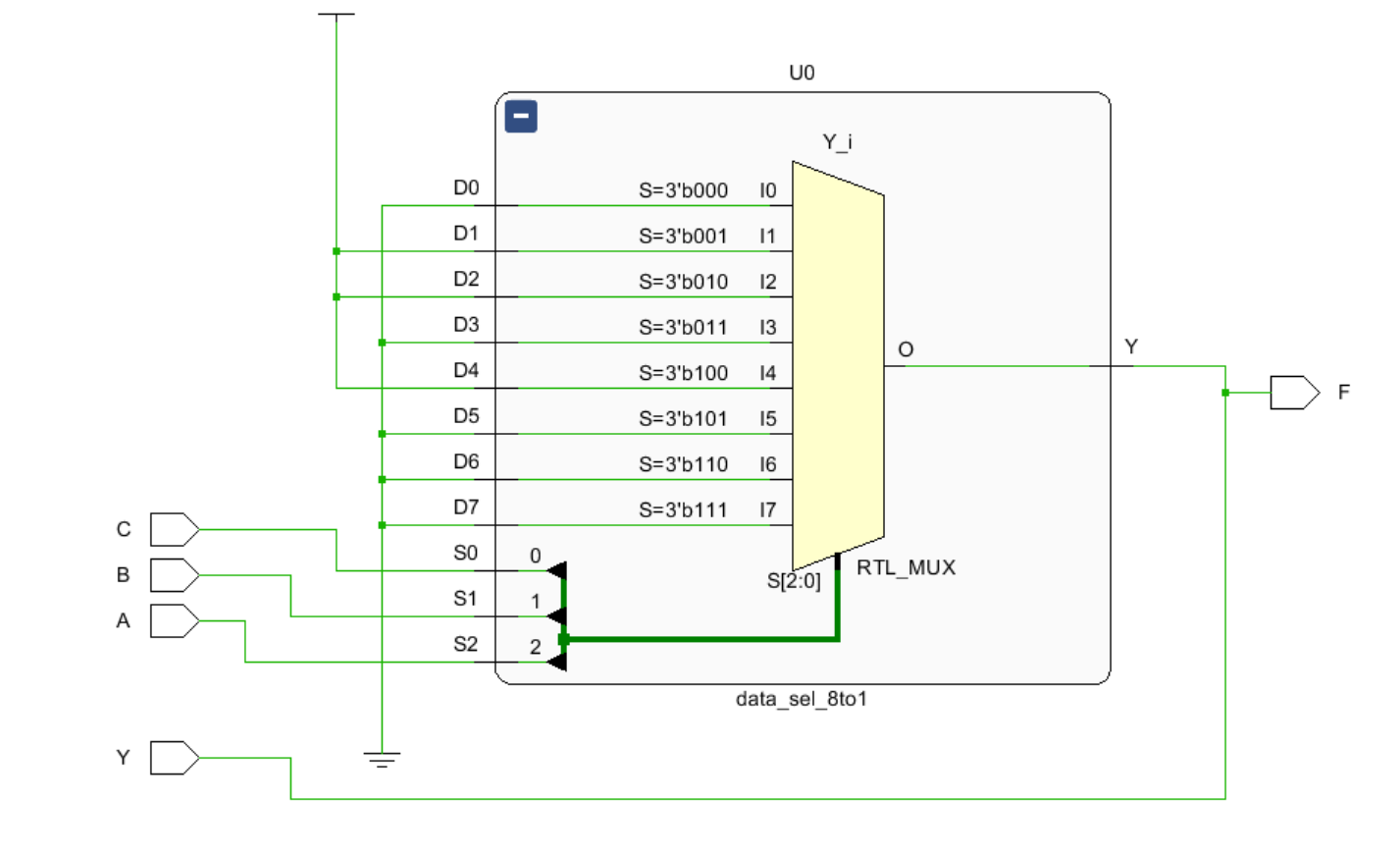
**.D7 (0),**

**.Y (Y)**

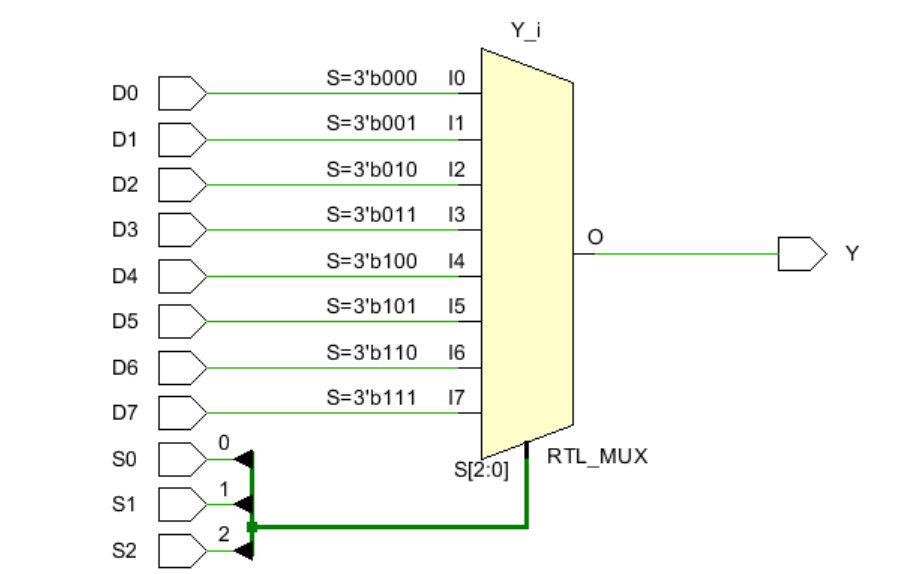
**);**

**endmodule**

（2）截图展示对应上述函数F实现模块的RTL原理图。



**八选一多路复用器的电路图：**



（3） 编写对上述函数实现模块的仿真程序，将仿真源文件写于下方或截图展示。

**`timescale 1ns / 1ps**

**//////////////////////////////////////////////////////////////////////////////////**

**// Company:**

**// Engineer:**

**//**

**// Create Date: 2024/12/15 21:48:33**

**// Design Name:**

**// Module Name: ww**

**// Project Name:**

**// Target Devices:**

**// Tool Versions:**

**// Description:**

**//**

**// Dependencies:**

**//**

**// Revision:**

**// Revision 0.01 - File Created**

**// Additional Comments:**

**//**

**//////////////////////////////////////////////////////////////////////////////////**

**module sim\_1;**

**reg A,B,C;**

**wire Y,F;**

**sel\_exp uut(A,B,C,Y,F);**

**initial**

**begin**

**A = 0;B = 0;C = 0;**

**end**

**always #10 {A,B,C} = {A,B,C} + 1;**

**assign F=Y;**

**endmodule**

（4）截图展示仿真运行后的函数F输入输出情况。

